

IN THE UNITED STATES DESIGNATED OFFICE (DO/US)

In re: Jung-hee Chung et. al.  
Application Serial No. To be assigned  
Filed: Concurrently herewith:  
**For: INTEGRATED CIRCUIT DEVICES HAVING BARRIER LAYERS  
BETWEEN UPPER ELECTRODES AND DIELECTRIC LAYERS AND METHODS  
OF FABRICATING THE SAME**

Date: 03/18/2004

Mail Stop PATENT APPLICATION  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

**2003-17074; Filed 03/19/2003**

Respectfully submitted,



Elizabeth A. Stanek  
Registration No. 48,568

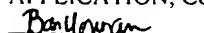
Myers Bigel Sibley & Sajovec, P.A.  
P. O. Box 37428  
Raleigh, North Carolina 27627  
Telephone: (919) 854-1400  
Facsimile: (919) 854-1401  
Customer No. 20792

**CERTIFICATE OF EXPRESS MAILING**

Express Mail Label No.: **EV381443384US**

Date of Deposit: **03/18/2004**

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR § 1.10 on the date indicated above and is addressed to: Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Ban Younan

Date of Signature: **03/18/2004**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0017074  
Application Number

출 원 년 월 일 : 2003년 03월 19일  
Date of Application MAR 19, 2003

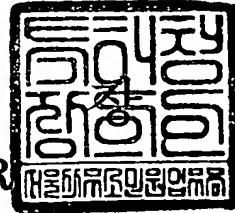
출 원 인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 18 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2003.03.19
【국제특허분류】	H01L
【발명의 명칭】	반도체 메모리 소자 및 그 제조방법
【발명의 영문명칭】	Semiconductor memory device and method for manufacturing the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	정정희
【성명의 영문표기】	CHUNG, Jung Hee
【주민등록번호】	680609-2010311
【우편번호】	130-012
【주소】	서울특별시 동대문구 청량리2동 57-5
【국적】	KR
【발명자】	
【성명의 국문표기】	최재형
【성명의 영문표기】	CHOI, Jae Hyoung
【주민등록번호】	711001-1231755

【우편번호】	423-014		
【주소】	경기도 광명시 광명4동 한진아파트 108-2404		
【국적】	KR		
【발명자】			
【성명의 국문표기】	이윤정		
【성명의 영문표기】	LEE, Yun Jung		
【주민등록번호】	750624-2068414		
【우편번호】	151-080		
【주소】	서울특별시 관악구 남현동 1081-34		
【국적】	KR		
【발명자】			
【성명의 국문표기】	임한진		
【성명의 영문표기】	LIM,Han Jin		
【주민등록번호】	670819-1047723		
【우편번호】	135-271		
【주소】	서울특별시 강남구 도곡1동 역삼력키아파트 107-405		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	5	면	5,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	34	항	1,197,000 원
【합계】	1,231,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

**【요약서】****【요약】**

캐패시터의 누설 전류 측정 온도 의존성 및 전압 스윕 특성을 개선할 수 있으며, 상부 전극과 유전막의 접착 특성을 개선할 수 있는 반도체 메모리 소자 및 그 제조방법을 개시한다. 개시된 본 발명의 반도체 메모리 소자의 제조방법은, 먼저, 반도체 기판상에 하부 전극을 형성한다음, 상기 하부 전극 상부에 유전막을 증착하고, 유전막 상부에 베리어층으로서 티타늄 산화막을 증착한다. 그리고 나서, 상기 유전막 및 베리어층을 열처리한 후, 티타늄 산화막 상부에 귀금속을 포함하는 상부 전극을 형성하고, 결과물을 큐어링한다.

**【대표도】**

도 4c

**【색인어】**

산소 베리어, 티타늄 산화막, ALD

**【명세서】****【발명의 명칭】**

반도체 메모리 소자 및 그 제조방법{Semiconductor memory device and method for manufacturing the same}

**【도면의 간단한 설명】**

도 1a 내지 도 1c는 종래의 반도체 메모리 소자를 설명하기 위한 각 공정별 단면도이다.

도 2는 종래의 반도체 메모리 소자의 온도에 따른 누설 전류를 보여주는 그래프이다.

도 3은 종래의 반도체 메모리 소자의 전압 스윕에 따른 누설 전류를 보여주는 그래프이다.

도 4a 내지 도 4c는 본 발명의 실시예 1에 따른 반도체 메모리 소자를 설명하기 위한 각 공정별 단면도이다.

도 5는 본 발명의 실시예 1에 따른 반도체 메모리 소자의 온도에 따른 누설 전류를 보여주는 그래프이다.

도 6은 본 발명의 실시예 1에 따른 반도체 메모리 소자의 전압 스윕에 따른 누설 전류를 보여주는 그래프이다.

도 7은 본 발명의 실시예 2에 따른 반도체 메모리 소자의 단면도이다.

-도면의 주요 부분에 대한 부호의 설명-

100 : 반도체 기판

110 : 하부 전극

120 : 탄탈륨 산화막

130 : 티타늄 산화막

140 : 열처리

150 : 상부 전극

200 : 하프늄 산화막

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 메모리 소자 및 그 제조방법에 관한 것으로, 보다 구체적으로는 금속 상부 전극을 갖는 반도체 메모리 소자의 유전막 특성을 개선할 수 있는 반도체 메모리 소자 및 그 제조방법에 관한 것이다.

<14> 최근, 반도체 소자의 집적도가 증가함에 따라, 칩내에서 소자가 차지하는 면적이 감소되고 있다. DRAM(dynamic random access memory) 소자의 정보를 저장하는 캐패시터의 경우에도 역시, 더욱 좁아진 면적에서 이전과 동일한 또는 그 이상의 용량을 가질 것이 요구되고 있다. 여기서, 캐패시터의 용량을 개선시키기 위한 방법으로는 하부 전극의 면적을 증대시키는 법, 유전막을 박막화하는 법, 및 유전막의 유전율을 증대시키는 법이 있다.

<15> 하부 전극의 면적을 증대시키는 방법으로는, 하부 전극을 실린더(cylinder)형 및 핀(fin)형 등과 같이 3차원 형태로 형성시키는 방법이 있다. 그러나, 3차원 형태로 하부 전극을 형성하는 방법은 캐패시터의 용량을 증대시키는 방법에 있어서 가장 효과적이기는 하나, 복잡한 제조 공정이 요구되고, 공정중 하부 전극의 파손되기 쉽다.

- <16> 또한, 종래의 캐패시터 유전막으로는 실리콘 산화막 또는 ONO(oxide-nitride-oxide)막이 이용되고 있는데, 이를 막으로 원하는 캐패시턴스를 확보하기 위하여는 적어도 100Å 이하의 두께로 유전막을 증착하여야 한다. 그러나, 상기한 실리콘 산화막 및 ONO막을 100Å 이하로 박막화시키면, 박막의 신뢰성이 저하되어, 누설 전류를 상승시키게 된다.
- <17> 이에 현재에는 캐패시터의 고 용량을 확보하기 위하여, 높은 유전 상수를 갖는 유전막을 캐패시터에 도입하는 기술이 연구 개발되고 있다. 이러한 높은 유전 상수를 갖는 유전막으로는  $Ta_2O_5$ 막(이하, 탄탈륨 산화막) 또는  $HfO_2$ 막(이하, 하프늄 산화막)등과 같은 고유전막이 이용될 수 있다.
- <18> 여기서, 도 1a 내지 도 1c를 참조하여 종래의 탄탈륨 산화막을 유전막으로 이용하는 MIS 캐패시터의 제조방법을 설명하기로 한다.
- <19> 도 1a를 참조하여, 반도체 기판(10) 상부에 도핑된 폴리실리콘막을 증착한다음, 소정 부분 패터닝하여, 하부 전극(20)을 형성한다.
- <20> 다음, 도 1b에 도시된 바와 같이, 하부 전극(20) 표면에 유전막으로 탄탈륨 산화막(30: $TaO_x$ )을 약 60Å 두께로 증착한다. 이어서, 탄탈륨 산화막(30)의 누설 전류 특성 및 유전율 특성을 개선하기 위하여, 열처리(40)를 진행한다.
- <21> 그후, 도 1c에 도시된 바와 같이, 탄탈륨 산화막(30)의 상부에 귀금속막, 예를 들어, 루테늄(Ru), 백금(Pt), 이리듐(Ir) 혹은 이들의 산화막을 소정 두께로 증착한다. 이 때, 귀금속막은 해당 귀금속 소스와 산소를 충분히 공급한 상태에서 CVD(chemical vapor

deposition) 방식으로 형성한다. 그후, 귀금속막을 소정 부분 식각하여, 상부 전극(50)을 형성한다.

<22> 그러나, 상기한 종래 기술은 다음과 같은 문제점을 갖는다.

<23> 먼저, 폴리실리콘/탄탈륨 산화막/귀금속막으로 구성되는 종래의 캐패시터의 전류(I)-전압(V) 특성(전압에 대한 누설 전류 특성)을 측정해보면, 도 2에 도시된 바와 같이, 측정 온도에 따라 누설 전류가 변화되었다. 즉, 도 2에 의하면, 측정 온도를 25°C, 85°C 및 125°C로 변화시켰을 때, 이에 비례하여 누설 전류가 증대되었다. 이는 온도 증가로 인하여 탄탈륨 박막내에 디펙트가 증대되었다고 추정되고 있으며, 이러한 디펙트는 상부 전극(50) 증착시 제공되는 다량의 산소가 하부의 탄탈륨 산화막(30)에 침투하여 발생된 것이라고 추정되고 있다.

<24> 또한, 전압 스윕(voltage sweep) 특성에 있어서도, 도 3에 도시된 바와 같이, 전압을 인가하는 횟수에 따라 각각 다른 누설 전류 특성을 보인다. 특히, 네가티브 바이어스 영역에서 심한 누설 전류의 차이를 볼 수 있으며, 이 네가티브 바이어스가 인가되는 부분은 상부 전극(50)으로, 상부 전극(50)과 탄탈륨 산화막(30)의 계면 부분에서 다량의 누설 전류가 발생함을 예측할 수 있다.

<25> 이에따라, 단일의 탄탈륨 산화막을 유전막으로 사용하였을 경우, 누설 전류 측정 온도 의존성이 높고, 전압 스윕 특성이 열악하다.

<26> 이에 종래의 다른 방법으로, 캐패시터 유전막으로 하프늄 산화막을 이용하는 기술이 제안되었다.

<27> 그러나, 하프늄 산화막은 귀금속 상부 전극과의 접착 특성이 좋지 못하여, 상부 전극이 리프팅되는 문제점이 발생될 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명의 목적은 캐패시터의 누설 전류 측정 온도 의존성을 개선할 수 있는 반도체 메모리 소자를 제공하는 것이다.

<29> 또한, 본 발명의 다른 목적은 캐패시터의 전압 스윕 특성을 개선할 수 있는 반도체 메모리 소자를 제공하는 것이다.

<30> 또한, 본 발명의 또 다른 목적은 상부 전극과 유전막의 접착 특성을 개선할 수 있는 반도체 메모리 소자를 제공하는 것이다.

<31> 본 발명의 다른 목적은 상기한 반도체 메모리 소자의 제조방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<32> 상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 반도체 메모리 소자는, 반도체 기판 상에 하부 전극, 형성되고, 그 상부에 유전막이 형성된다. 유전막 상부에는 귀금속류로 된 상부 전극이 형성되고, 상기 유전막과 상부 전극 사이에는 티타늄 산화막으로 된 베리어층이 개재된다.

<33> 이때, 유전막은 탄탈륨 산화막이거나 하프늄 산화막일 수 있다. 아울러, 베리어층으로 이용되는 상기 티타늄 산화막은 10 내지 50Å 두께를 갖음이 바람직하다.

<34> 또한, 상기 하부 전극은 도핑된 폴리실리콘막, 귀금속막 또는 귀금속 산화막으로 형성되되, 상기 상부 전극은 루테늄, 백금, 이리듐 및 이들의 산화막 중 선택되는 하나의 막으로 형성된다.

<35> 또한, 본 발명의 다른 견지에 따른 반도체 메모리 소자의 제조방법은 다음과 같다. 먼저, 반도체 기판상에 하부 전극을 형성한다음, 상기 하부 전극 상부에 유전막을 증착하고, 유전막 상부에 베리어층으로서 티타늄 산화막을 증착한다. 그리고 나서, 상기 유전막 및 베리어층을 열처리한 후, 티타늄 산화막 상부에 귀금속을 포함하는 상부 전극을 형성하고, 결과물을 큐어링한다.

<36> 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 제조방법은, 반도체 기판상에 하부 전극을 형성하고, 상기 하부 전극 상부에 탄탈륨 산화막을 증착한다. 이어서, 상기 탄탈륨 상부에 베리어층으로서 티타늄 산화막을 ALD 방식으로 증착한다음, 티타늄 산화막과 탄탈륨 산화막을 탄탈륨 산화막의 결정화 온도보다 낮은 온도 범위에서 열처리한다. 그후, 상기 티타늄 산화막 상부에 루테늄 상부 전극을 형성하고, 상부 전극을 큐어링한다.

<37> 상기 탄탈륨 산화막은 CVD 방식에 의하여 20 내지 50Å의 두께로 형성할 수 있다.

<38> 상기 티타늄 산화막을 형성하는 단계는, 상기 탄탈륨 산화막 상부에 티타늄 소스를 공급하는 단계와, 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계와, 상기 결과물 상에 산화제를 공급하는 단계와, 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계로 이루어지며, 이들 단계를 적어도 한번 반복할 수 있다. 아울러, 상기 티타늄 산화막은 10 내지 50Å의 두께로 형성할 수 있다.

<39> 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 제조방법은, 반도체 기판상에 하부 전극을 형성하고, 상기 하부 전극 상부에 하프늄 산화막을 증착한다. 이어서, 상기 하프늄 산화막 상부에 베리어층으로서 티타늄 산화막을 증착한다음, 상기 티타늄 산화막과 하프늄 산화막을 하프늄 산화막의 결정화 온도보다 낮은 온도에서 열처리한다. 그후, 상기 티타늄 산화막 상부에 루테늄 상부 전극을 형성하고, 결과물을 큐어링한다.

<40> 이때 하프늄 산화막은 ALD 방식에 의하여 20 내지 50Å 두께로 형성할 수 있다.

<41> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다라고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<42> (실시예 1)

<43> 도 4a 내지 도 4c는 본 발명의 반도체 메모리 소자를 설명하기 위한 각 공정별 단면도이다. 도 5는 본 발명의 반도체 메모리 소자의 온도에 따른 누설 전류를 보여주는 그래프이고, 도 6은 본 발명의 반도체 메모리 소자의 전압 스윕에 따른 누설 전류를 보여주는 그래프이다.

<44> 도 4a를 참조하여, 반도체 기판(100)이 제공된다. 반도체 기판(100)은 도시되지 않았지만, 모스 트랜지스터, 절연층 및 비트 라인이 형성되어 있을 수 있다. 이러한 반도체 기판(100) 상부에 하부 전극용 도전층을 350 내지 450 Å 두께로 증착한다. 하부 전극용 도전층은 도핑된 폴리실리콘, 루테늄, 백금, 이리듐 또는 귀금속 산화막일 수 있다. 본 실시예에서는 예를 들어 도핑된 폴리실리콘막을 하부 전극용 도전층으로 이용한다. 하부 전극용 도전층을 소정 부분 패터닝하여, 하부 전극(110)을 형성한다. 하부 전극(110) 상부에 제 1 유전막으로서 탄탈륨 산화막(120)을 형성한다. 탄탈륨 산화막(120)은 CVD 방식, 보다 구체적으로는 MOCVD(metal organic CVD)에 의하여 종래보다는 박막인 20 내지 50 Å의 두께로 형성한다.

<45> 도 4b에 도시된 바와 같이, 탄탈륨 산화막(120) 상부에 제 2 유전막으로서 티타늄 산화막( $Ti_3O_2$ )을 예를 들어 약 10 내지 50 Å의 두께로 증착한다. 이때, 티타늄 산화막(130)은 알려진 바와 같이, 티타늄 산화막(130)의 티타늄(Ti)과 산소(O) 결합은 매우 단단하므로, 이후 상부 전극 형성시 디펙트 인자가 침투되는 것을 차단하는 베리어의 역할을 한다.

<46> 이러한 티타늄 산화막(130)은 200 내지 500 °C의 온도 범위에서 ALD(atomic layer deposition) 방식으로 증착될 수 있다. 이때, ALD 방식에 따른 티타늄 산화막(130)은 다음과 같이 증착된다. 먼저, 탄탈륨 산화막 상부에 티타늄 소스를 공급한다음, 결과물 표면 및 챔버 내부를 퍼지하고, 결과물 표면에 산화제, 예를 들어, 오존( $O_3$ )을 공급한다음, 다시 퍼지하는 일련의 공정을 반복하여, 티타늄 산화막(130)을 형성할 수 있다.

<47> 또한, 티타늄 산화막(130)은 약 60 정도의 높은 유전율( $\epsilon$ )을 가지므로, 캐패시터의 유전율 특성을 개선시킬 수 있다. 그러나, 상기한 티타늄 산화막(130)은 유전율 및 디펙트 베리어 특성은 우수하지만, 자체적으로 높은 누설 전류를 가지기 때문에 상술한 바와 같이, 10 내지 50Å의 박막으로 형성하는 것이 바람직하다.

<48> 그후, 티타늄 산화막(130) 및 탄탈륨 산화막(120)의 유전율을 개선하기 위하여 열처리(140)를 실시한다. 탄탈륨 산화막(120) 및 티타늄 산화막(130)은 알려진 바와 같이, 증착 당시에는 비정질 상태로 형성되어, 유전율 특성이 열악할 수 있다. 이러한 탄탈륨 산화막(120) 및 티타늄 산화막(130)의 유전율을 개선시키기 위하여 결정화 공정을 진행하게 되면, 유전율은 증대되나, 탄탈륨 산화막(120)과 하부 전극(110) 사이에 저유전율을 갖는 유전막이 생성되어 유전율을 오히려 저하시킬 수 있고, 누설 전류가 증대시킬 수 있다. 그러므로, 본 실시예에서는 유전율을 증대시키면서 누설 전류 특성을 보완할 수 있도록 약 750°C이하, 예를 들어 500 내지 700°C의 온도에서 20 내지 40분간 열처리(140)를 진행한다.

<49> 도 4c에서와 같이, 티타늄 산화막(130) 상부에 상부 전극용 도전층을 250 내지 350 Å 두께로 증착한다. 상부 전극 도전층으로는 루테늄, 백금, 이리듐과 같은 귀금속막 또는 귀금속 산화막이 이용될 수 있으며, 본 실시예에서는 루테늄 금속을 상부 전극 도전층으로 이용하였다. 여기서, 상기 상부 전극 도전층, 즉 루테늄은 루테늄 소스와 산소를 다량 공급하여 CVD 방식에 의하여 형성한다. 종래에서도 언급한 것과 같이, 루테늄 증착시 제공되는 산소가 탄탈륨 산화막(120)쪽으로 침투할 수 있으나, 본 실시예에서는 티타늄 산화막(130)이 베리어로 작용하여 산소의 침투를 차단한다.

- <50> 그후, 귀금속막을 소정 부분 패터닝하여, 상부 전극(150)을 형성한다. 이때, 티타늄 산화막(130)은 루테늄으로 된 상부 전극(150)과 밀착 특성이 우수하여, 상부 전극(150)의 리프팅 현상이 발생되지 않는다. 그후, 상부 전극(150)을 산소 분위기에서 350 내지 450°C의 온도로 30분간 큐어링(curing) 공정을 실시한다.
- <51> 이와같이 탄탈륨 산화막(120)과 상부 전극(150) 사이에 유전막인 티타늄 산화막(130)을 개재하게 되면, 도 5에 도시된 바와 같이, 누설 전류의 측정 온도를 25°C, 85°C 및 125°C로 변화시키더라도, 누설 전류가 크게 변화되지 않는다.
- <52> 또한, 캐패시터의 전압 스윕에 있어서도, 도 6에 도시된 바와 같이, 여러번의 전압 스윕이 가해지더라도, 각각의 인가 전압에 따른 누설 전류의 변화가 거의 발생되지 않는다.
- <53> 본 실시예에 의하면, 탄탈륨 산화막(120)과 귀금속 상부 전극(150) 사이에 티타늄 산화막(130)을 개재하여, 귀금속 상부 전극(150) 증착시 제공되는 산소들이 탄탈륨 산화막(120)으로 침투되는 것을 차단한다. 이에따라, 산소 침투로 인한 탄탈륨 산화막(120)의 디펙트가 감소되어, 누설 전류 측정 온도에 따른 의존성 및 전압 스윕 특성이 개선된다.
- <54> (실시예 2)
- <55> 도 7은 본 발명의 실시예 2에 따른 반도체 메모리 소자의 단면도로서, 실시예 1과 동일한 부분에 대하여는 동일한 부호를 사용하며, 중복 설명은 배제하도록 한다.
- <56> 도 7을 참조하여, 하부 전극(110) 상부에 탄탈륨 산화막과 유전율이 유사한 유전막 예를 들어 하프늄 산화막(200)을 증착한다. 하프늄 산화막(200)은 20 내지 50Å 두께로

증착하며, 예를 들어 ALD 방식으로 형성한다. 그후, 하프늄 산화막(200) 상부에 티타늄 산화막(130)을 증착한다. 티타늄 산화막(130)은 상기한 실시예 1과 동일한 방식으로 형성된다.

<57> 이어서, 티타늄 산화막(130) 및 하프늄 산화막(200)을 결정화 온도 이하의 온도에서 열처리한 다음, 티타늄 산화막(130) 상에 상부 전극(150)을 형성한다. 상부 전극(150)은 실시예 1과 마찬가지로 귀금속류, 예를 들어 루테늄막이 증착된다.

<58> 이때, 상기에서도 언급한 바와 같이, 티타늄 산화막(130)이 루테늄으로 된 상부 전극(150)과 접착 특성이 우수하므로, 하프늄 산화막(200)을 유전막으로 사용하더라도 상부 전극(150)의 리프팅 현상을 방지할 수 있다.

#### 【발명의 효과】

<59> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, 유전막, 예를 들어 탄탈륨 산화막과 상부 전극 사이에, 막질 특성이 우수하여 산소의 침투를 차단할 수 있는 티타늄 산화막을 개재한다.

<60> 이에따라, 상기 티타늄 산화막에 의하여 귀금속 상부 전극 증착시 제공되는 산소들이 유전막 예를 들어 탄탈륨 산화막으로 침투되는 것이 차단되어, 유전막내의 디펙트가 감소됨은 물론 누설 전류 측정 온도에 따른 의존성 및 전압 스윕 특성이 개선된다.

<61> 또한, 하프늄 산화막을 유전막으로 사용하는 경우, 티타늄 산화막이 하프늄 산화막 및 상부 전극 모두와 접착 특성이 우수하므로, 상부 전극의 리프팅 현상을 방지할 수 있다.

<62> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체 기판상에 형성되는 하부 전극;

상기 하부 전극 상부에 형성되는 유전막;

상기 유전막 상부에 형성되는 귀금속류로 된 상부 전극; 및

상기 유전막과 상부 전극 사이에 개재되는 베리어층을 포함하며,

상기 베리어막은 티타늄 산화막인 것을 특징으로 하는 반도체 메모리 소자.

**【청구항 2】**

제 1 항에 있어서, 상기 유전막은 탄탈륨 산화막인 것을 특징으로 하는 반도체 메모리 소자.

**【청구항 3】**

제 1 항에 있어서, 상기 유전막은 하프늄 산화막인 것을 특징으로 하는 반도체 메모리 소자.

**【청구항 4】**

제 1 항에 있어서, 상기 티타늄 산화막은 10 내지 50Å 두께를 갖는 것을 특징으로 하는 반도체 메모리 소자.

**【청구항 5】**

제 1 항에 있어서, 상기 하부 전극은 도핑된 폴리실리콘막, 귀금속막 또는 귀금속 산화막인 것을 특징으로 하는 반도체 메모리 소자.

**【청구항 6】**

제 1 항에 있어서, 상기 상부 전극은 루테늄, 백금, 이리듐 및 이들의 산화막 중 선택되는 하나의 막으로 형성되는 것을 특징으로 하는 반도체 메모리 소자.

**【청구항 7】**

반도체 기판상에 하부 전극을 형성하는 단계;

상기 하부 전극 상부에 유전막을 증착하는 단계;

상기 유전막 상부에 베리어층으로서 티타늄 산화막을 증착하는 단계;

상기 티타늄 산화막 및 유전막을 열처리하는 단계; 및

상기 티타늄 산화막 상부에 귀금속을 포함하는 상부 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 8】**

제 7 항에 있어서, 상기 유전막을 형성하는 단계는,

상기 하부 전극 상부에 탄탈륨 산화막을 CVD(chemical vapor deposition) 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 9】**

제 7 항에 있어서, 상기 유전막을 형성하는 단계는,

상기 하부 전극 상부에 하프늄 산화막을 ALD atomic layer deposition) 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 10】**

제 7 항에 있어서, 상기 유전막은 20 내지 50Å 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 11】**

제 7 항에 있어서, 상기 티타늄 산화막은 ALD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 12】**

제 11 항에 있어서, 상기 티타늄 산화막을 형성하는 단계는,

(a) 상기 유전막 상부에 티타늄 소스를 공급하는 단계;

(b) 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계;

(c) 상기 산화제를 공급하는 단계;

(d) 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계; 및

(e) 상기 (a) 내지 (d) 단계를 적어도 한번 반복하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 13】**

제 11 항에 있어서, 상기 티타늄 산화막은 10 내지 50Å의 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 14】**

제 7 항에 있어서, 상기 하부 전극은 도핑된 폴리실리콘막, 귀금속막 또는 귀금속 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 15】**

제 7 항에 있어서, 상기 상부 전극은 루테늄, 백금, 이리듐 및 이들의 산화막 중 선택되는 하나의 막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 16】**

제 7 항에 있어서, 상기 열처리 단계는, 상기 유전막의 결정화온도 보다 낮은 온도에서 진행되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 17】**

제 7 항에 있어서, 상기 상부 전극을 형성하는 단계 이후에, 상기 결과물을 산소 분위기하에서 350 내지 450°C의 온도로 큐어링하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 18】**

반도체 기판상에 하부 전극을 형성하는 단계;

상기 하부 전극 상부에 탄탈륨 산화막을 증착하는 단계;

상기 탄탈륨 상부에 베리어층으로서 티타늄 산화막을 ALD 방식으로 증착하는 단계;

상기 티타늄 산화막 및 탄탈륨 산화막을 열처리하는 단계;

상기 티타늄 산화막 상부에 루테늄 상부 전극을 형성하는 단계; 및

상기 결과물을 큐어링하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 19】**

제 18 항에 있어서, 상기 탄탈륨 산화막은 CVD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 20】**

제 19 항에 있어서, 상기 탄탈륨 산화막은 20 내지 50Å 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 21】**

제 18 항에 있어서, 상기 티타늄 산화막을 형성하는 단계는,

(a) 상기 탄탈륨 산화막 상부에 티타늄 소스를 공급하는 단계;

(b) 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계;

(c) 상기 결과물 표면에 산화제를 공급하는 단계;

(d) 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계; 및

(e) 상기 (a) 내지 (d) 단계를 적어도 한번 반복하는 단계를 포함하는 것을 특징으

로 하는 반도체 메모리 소자의 제조방법.

**【청구항 22】**

제 21 항에 있어서, 상기 티타늄 산화막은 10 내지 50Å의 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 23】**

제 18 항에 있어서, 상기 하부 전극은 도핑된 폴리실리콘막, 귀금속막 또는 귀금속 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 24】**

제 18 항에 있어서, 상기 열처리 단계는, 상기 탄탈륨 산화막의 결정화온도 보다 낮은 온도에서 진행되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 25】**

제 18 항에 있어서, 상기 큐어링하는 단계는,  
상기 결과물을 산소 분위기하에서 350 내지 450°C의 온도로 열처리하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 26】**

반도체 기판상에 하부 전극을 형성하는 단계;  
상기 하부 전극 상부에 하프늄 산화막을 증착하는 단계;  
상기 하프늄 산화막 상부에 베리어층으로서 티타늄 산화막을 증착하는 단계;  
상기 티타늄 산화막 및 하프늄 산화막을 열처리하는 단계;  
상기 티타늄 산화막 상부에 루테늄 상부 전극을 형성하는 단계; 및  
상기 결과물을 큐어링하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 27】**

제 26 항에 있어서, 상기 하프늄 산화막을 형성하는 단계는,  
상기 하부 전극 상부에 하프늄 산화막을 ALD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 28】**

제 27 항에 있어서, 상기 하프늄 산화막은 20 내지 50Å 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 29】**

제 26 항에 있어서, 상기 티타늄 산화막은 ALD 방식으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 30】**

제 29 항에 있어서, 상기 티타늄 산화막을 형성하는 단계는,

(a) 상기 하프늄 산화막 상부에 티타늄 소스를 공급하는 단계;

(b) 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계;

(c) 상기 결과물 표면에 산화제를 공급하는 단계;

(d) 상기 결과물 표면 및 챔버 내부를 퍼지하는 단계; 및

(e) 상기 (a) 내지 (d) 단계를 적어도 한번 반복하는 단계를 포함하는 것을 특징으

로 하는 반도체 메모리 소자의 제조방법.

**【청구항 31】**

제 29 항에 있어서, 상기 티타늄 산화막은 10 내지 50Å의 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 32】**

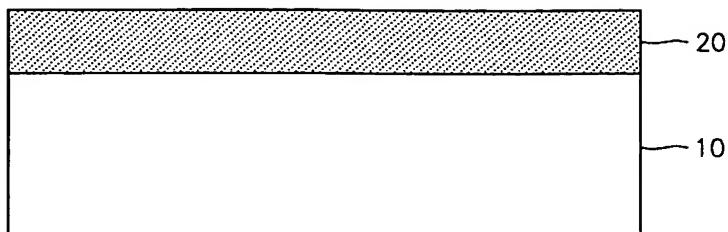
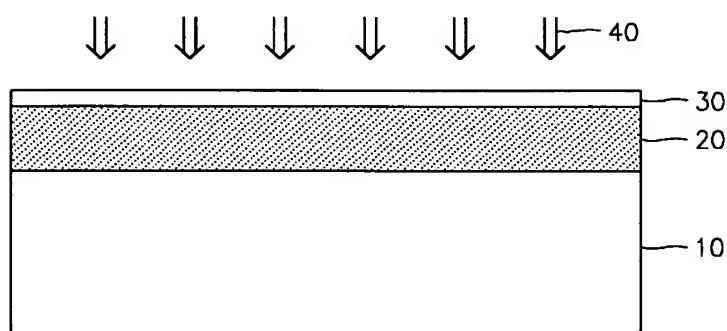
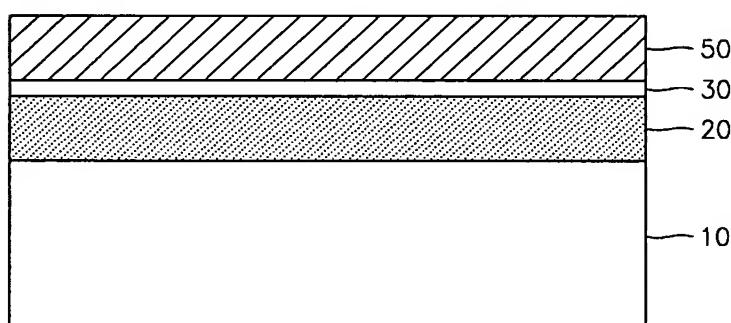
제 26 항에 있어서, 상기 하부 전극은 도핑된 폴리실리콘막, 귀금속막 또는 귀금속 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 33】**

제 26 항에 있어서, 상기 열처리 단계는, 상기 하프늄 산화막의 결정화온도 보다 낮은 온도에서 진행되는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

**【청구항 34】**

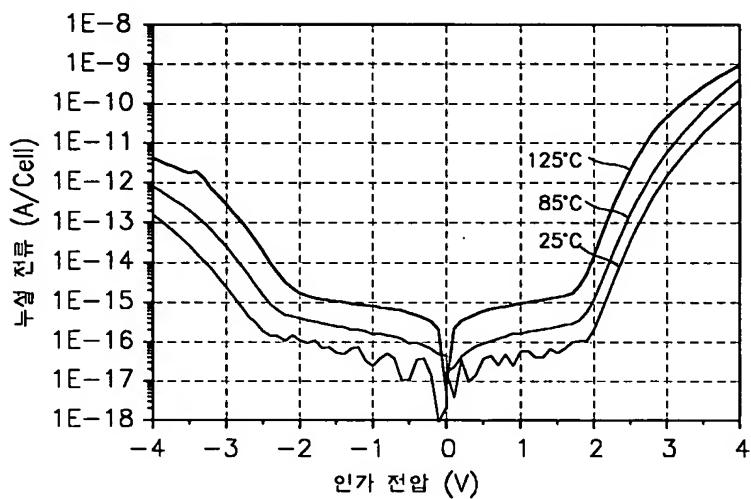
제 26 항에 있어서, 상기 큐어링하는 단계는, 산소 분위기하에서 350 내지 450℃의 온도로 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 메모리 소자의 제조 방법.

**【도면】****【도 1a】****【도 1b】****【도 1c】**

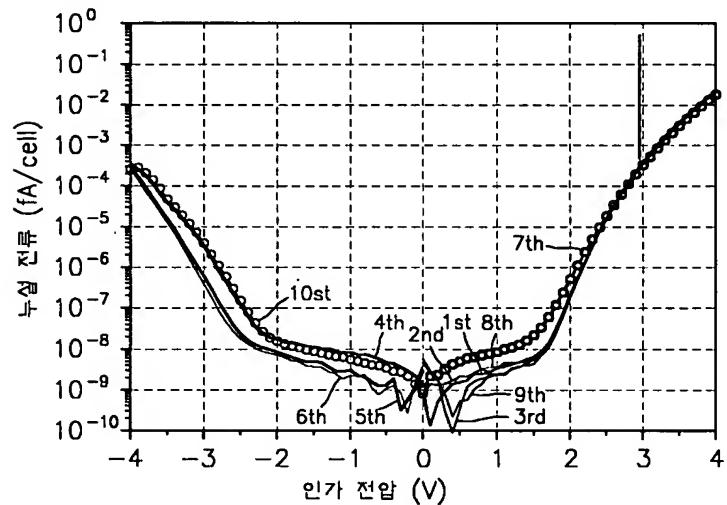
1020030017074

출력 일자: 2003/8/21

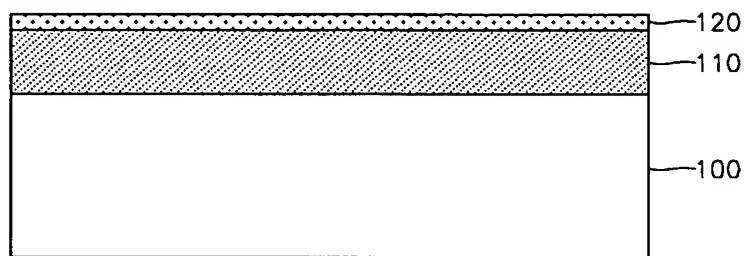
【도 2】



【도 3】



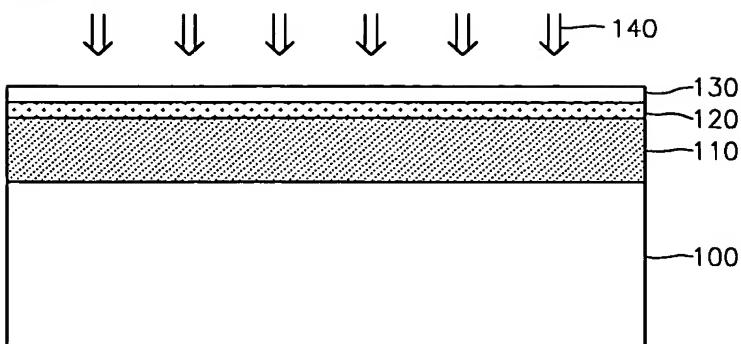
【도 4a】



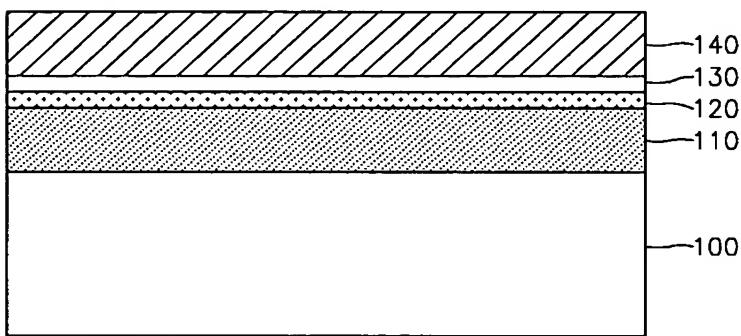
1020030017074

출력 일자: 2003/8/21

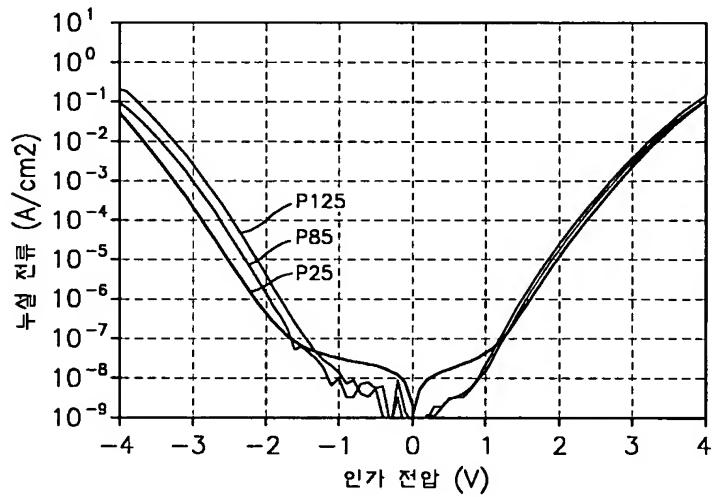
【도 4b】



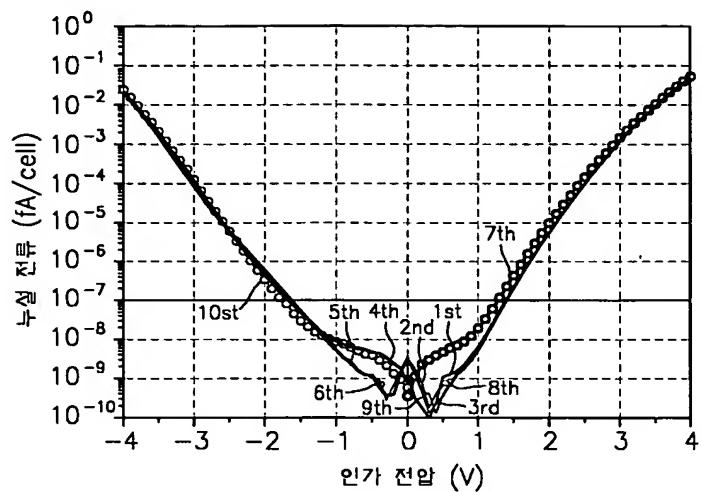
【도 4c】



【도 5】



【도 6】



【도 7】

